(19) JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09181938 A

(43) Date of publication of application: 11.07.97

(51) Int. Cl H04N 5/12
H04N 5/10

(21) Application number: 07341522

(22) Date of filing: 27.12.95

(71) Applicant: NEC CORP

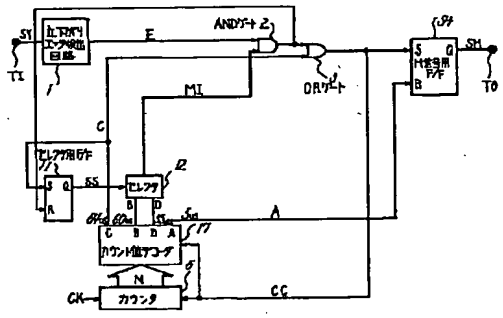
(72) Inventor: NIIJIMA SHINJI

(54) HORIZONTAL SYNCHRONIZING SIGNAL GENERATING CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a horizontal synchronizing signal output by accurately extracting a horizontal synchronization input after a vertical synchronizing signal period regardless of an odd numbered filed and an even numbered field.

SOLUTION: The generating circuit is provided with a selector 12 which selects either of output signals B, D of a count decoder 17 and provides an output of the selected signal as an input mask signal MI and a selector F/F 11 receiving a self-generating signal C and an output signal of an AND gate 2 to select the operation of the selector 12. Then an invalid period of an edge detection signal E is revised when a composite synchronizing signal SY is normally received and a horizontal synchronizing output signal SH is generated corresponding to a fault input.



一致するとマスク解除信号Ｂを発生し、マスク信号用Ｆ／Ｆが入力マスク信号ＭＩをセットする。

【０００９】これ以降立下がりエッジ検出回路１が出力するエッジ検出信号Ｅが有効になる。すなわち第２の設定値は、ノイズなどによる複合同期信号ＳＹの誤入力を防止するためにエッジ検出信号Ｅを無効にする期間となる。通常、水平同期入力の周期（約６３．５μｓ）の９３～９５％程度、ここでは６０μｓに設定する。

【００１０】複合同期信号ＳＹに水平同期入力の欠落が無い場合、カウント値Ｎが第３の設定値に到達する前に、立下がりエッジ検出回路１が複合同期信号ＳＹの立下がりを検出してエッジ検出信号Ｅを出力する。エッジ検出信号Ｅの出力によりＯＲゲート３はカウンタクリア信号ＣＣをセットし、カウンタ６を零に初期化する。さらにカウンタ６の初期化によりカウント値デコーダの各出力信号Ａ～Ｃはリセットされる。これ以降の動作は前述と同様であるので省略する。

【００１１】ところが、電波の受信状態が一時的に劣化すると、複合同期信号ＳＹに欠落が生じることがある。この場合の救済策として水平同期出力ＳＨを自己生成する。入力マスク信号ＭＩがハイレベルになった後もエッジ検出信号Ｅが発生しないため、ＡＮＤゲート２はロウレベルのままでカウンタクリア信号ＣＣも発生しない。そのためカウンタ６はカウント動作を続ける。その後、カウンタ６のカウント値がカウント値デコーダ７の第３の設定値と一致すると、自己生成出力信号Ｃをハイレベルにするため、ＯＲゲート３の出力もハイレベルになる。これによりエッジ検出信号Ｅが発生した時とほぼ同様になり、カウンタクリア信号ＣＣがカウンタ６やカウント値デコーダを初期化するとともに、Ｈ信号用Ｆ／Ｆ４が水平同期出力ＳＨをハイレベルにする。ただし、エッジ検出信号Ｅが発生したときと異なる点は、マスク信号用Ｆ／Ｆ５がリセットされないことである。したがって、これ以降入力する複合同期信号ＳＹの立下がりエッジを必ず受け付ける。複合同期信号ＳＹに欠落が生じて水平同期出力ＳＨを自己生成した場合、その後入力する複合同期信号ＳＹを無視することなく優先的に受け付けることを意味する。

【００１２】このように従来の水平同期信号発生回路は、外部からの複合同期信号ＳＹの立下がりエッジを検出して水平同期出力ＳＨを出力する。またエッジ検出後、入力マスク期間に入りノイズ等による誤動作を防止している。さらに複合同期信号ＳＹの欠落に備えて水平同期出力ＳＨを自己生成する機能も有する。

【００１３】ところが、実際のＶＴＲセットでは垂直同期信号の期間中は水平同期信号や切り込みパルス、等化パルスなどが、水平同期信号発生回路に入力しないことがある。これは、入力複合同期信号波形において、複合同期信号の出力素子（図示せず）と複合同期信号入力端子ＴＩとの接続方法に依存して、図３に示すように垂直同期期間中の上記パルスのレベルが大きく減衰し潰れた状態となってしまうからである。例えば、複合同期信号の伝送用信号線をプルアップ抵抗を介して電源と接続しているような場合、出力側のインピーダンスがロウレベルとハイレベルで異なり、ロウレベルからハイレベルへの遷移時間がハイレベルからロウレベルへの遷移時間に対して長くなるため、幅の狭いパルスのハイレベルは潰れてしまう。

【００１４】また、複合同期信号には垂直同期期間と水平同期入力との位相関係により、図６に示すように奇数フィールドと偶数フィールドとの２通りの場合がある。

【００１５】これら２点のために次のような不都合が生じる。すなわち、上述のような垂直同期信号期間中の水平同期信号や等化パルス等狭幅パルスが欠落した複合同期信号波形が入力すると、垂直同期期間中は必ず自己生成した水平同期出力ＳＨを出力することになり、その後入力する複合同期信号ＳＹの立下がりを常に水平同期入力として受け付けてしまう。しかし、垂直同期期間と水平同期入力の位相関係は２通りあり、ちょうど奇数フィールドの場合は、誤って等化パルスを水平同期入力として受け付けてしまうことになる。

【００１６】

【発明が解決しようとする課題】上述した従来の水平同期信号発生回路は、垂直同期期間中の水平同期入力を含む狭幅パルスが欠落した複合同期信号波形が入力すると、垂直同期期間中は必ず自己生成した水平同期出力を出力し、その後入力する複合同期信号の立下がりを常に水平同期入力として認識することにより、奇数フィールドの場合に誤って等化パルスを水平同期入力として受け付けてしまうため、垂直同期期間直後の水平同期入力の正常な抽出ができず対応の水平同期出力を出力できなくなることがあるという欠点があった。

【００１７】本発明の目的は、垂直同期期間に上記狭幅パルスの欠落のある複合同期信号が入力しても奇数フィールド，偶数フィールドにかかわらず、垂直同期期間後の水平同期入力を正確に抽出し、対応する水平同期信号を出力する水平同期信号発生回路を提供することにある。

【００１８】

【課題を解決するための手段】本発明の水平同期信号発生回路は、水平同期信号と垂直同期信号とを含む複合同期信号から前記水平同期信号を分離して前記水平同期出力信号を発生する水平同期信号発生回路において、前記複合同期信号の供給に応答してこの複合同期信号の前縁または後縁を検出しエッジ検出信号を出力するエッジ検出回路と、クロック信号を計数して計数値を出力し前記水平同期出力信号の発生タイミングで生成されるカウンタクリア信号の供給に応答して前記計数値を零に初期化するカウンタと、自己生成出力時期に対応する第１の設定値と複数の第２の設定値を持ち前記計数値と前記第１，第２の設定値の各々との一致に応答して対応する第１の一致情報信号と複数の第２の一致情報信号とを出力しかつ前記カウンタクリア信号の供給に応答して前記複数の一致情報信号を初期

化するカウント値デコーダと、前記第２の一致情報信号のうちの１つを選択し前記エッジ検出信号を有効または無効にする入力マスク信号として出力するセレクタと、前記エッジ検出信号と前記入力マスク信号とを入力しこの入力マスク信号のレベルに応答して前記エッジ検出信号を有効または無効にして第１の論理信号を出力する第１の論理回路と、前記第１の一致情報信号と前記第１の論理信号とを入力して前記セレクタの動作を切替るセレクタ制御手段と、前記第１の一致情報信号と前記第１の論理信号との論理和をとり第２の論理信号を出力する第２の論理回路と、前記第２の論理信号の供給に応答して所望の水平同期出力信号を立上げ予め決められた期間経過後立下げる出力手段とを備え、前記複合同期信号が予め規定された信号波形の欠落がなく正常に入力している場合と前記信号波形に欠落が生じた異常入力に対応して前記水平同期出力信号を自己生成した場合とで前記エッジ検出信号の無効期間を変更することを特徴とするものである。

【００１９】

【発明の実施の形態】次に、本発明の第１の実施の形態を図７と共通の構成要素は共通の文字を付して同様にブロックで示す図１を参照すると、この図に示す本実施の形態の水平同期信号発生回路は、従来と共通の立下がりエッジ検出回路１と、ＡＮＤゲート２と、ＯＲゲート３と、Ｈ信号用Ｆ／Ｆ４と、カウンタ６とに加えて、自己生成出力信号Ｃのハイレベルに応答して出力のセレクト信号ＳＳをセットしＡＮＤゲート２の出力のハイレベルに応答して信号ＳＳをリセットするセレクタ用フリップフロップ（以下セレクタ用Ｆ／Ｆ）１１と、セレクト信号ＳＳのレベルに応答してカウント値デコーダ１７の出力信号Ｂ，Ｄのいずれかを選択し入力マスク信号ＭＩとして出力するセレクタ１２と、カウント値用デコーダ７の代りに従来と同一の第１から第３の設定値（信号Ａから信号Ｃ）に加えて第４の設定値（信号Ｄ）を持つよう機能を変更したカウント値デコーダ１７とを備え、従来のマスク信号用Ｆ／Ｆ５を削除する。

【００２０】カウント値デコーダ１７の追加された信号Ｄは水平同期入力の中間に入力する等化パルスを無効にする無効信号であり、信号Ａ～Ｃと同様にカウンタクリア信号ＣＣによりクリアされ、この無効信号の幅は通常水平同期入力の周期の２分の１＋αとし、本実施の形態では３５μｓに設定する。

【００２１】セレクタ１２は、セレクト信号ＳＳがロウレベル時はカウント値デコーダ１７の出力信号Ｂを選択し、ハイレベル時は信号Ｄを選択する。

【００２２】次に、図１および各部の波形をタイムチャートで示す図２を参照してを参照して本実施の形態の動作について説明すると、この実施の形態は従来例に比べて、エッジ検出信号Ｅを有効または無効にする条件だけが異なるので、その部分を重点に説明する。

まず図２を参照すると、複合同期信号ＳＹに水平同期入力の欠落などの乱れがない場合、カウンタ６はカウンタクリア信号ＣＣにより周期的に初期化されるので、カウント値デコーダ１７の出力Ｃ（自己生成出力信号Ｃ）はハイレベルにはならない。したがってセレクタ用Ｆ／Ｆ１１の出力のセレクト信号ＳＳは常にロウレベルであるので、セレクタ１２はカウント値デコーダ１７の出力信号Ｂを選択し、入力マスク信号ＭＩとする。すなわち、立下がりエッジ検出回路１が複合同期信号ＳＹの立下がりを検出した後、つまりエッジ検出信号Ｅの出力後、カウンタクリア信号ＣＣによりカウンタ６及びカウント値デコーダ１７が初期化され、このとき信号Ｂ，すなわち、入力マスク信号ＭＩがロウレベルに立下がり、その後、６０μｓの間はエッジ検出信号Ｅを無効とする状態が反復される。次に、水平同期入力の欠落が生じた場合、従来例と同様に自己生成出力信号Ｃがハイレベルになる。それによりセレクタ用Ｆ／Ｆ１１がセットされセレクト信号ＳＳがハイレベルとなるので、セレクタ１２はカウント値デコーダ１７の出力信号Ｄを選択して入力マスク信号ＭＩとする。したがってこの場合は、信号Ｄのロウレベルの継続期間、すなわち、自己生成による水平同期出力ＳＨの出力後３５μｓの間、エッジ検出信号Ｅの無効期間が存在する。信号Ｄは、上述のように信号Ｂと同一タイミング、すなわち、水平同期出力ＳＨの出力に応答したエッジ検出信号Ｅ対応のカウンタクリア信号ＣＣによるカウンタ６及びカウント値デコーダ１７の初期化に応答して立下がる。この無効期間の存在が、垂直同期期間中の狭幅パルス信号の欠落した場合の水平同期入力検出に大きく役立ち、奇数／偶数フィールドの相違に無関係に正常に水平同期入力を抽出し、対応する水平同期出力ＳＨを出力できる。

【００２３】垂直同期期間中に狭幅パルスが欠落した複合同期信号と入力マスク信号と水平同期信号の関係を奇数／偶数各フィールド毎に示す図３を参照して、奇数フィールドと偶数フィールドでの水平同期入力の抽出動作を説明すると、従来において誤った抽出の可能性があるのは、垂直同期期間直後の水平同期入力である。そこで本実施の形態において奇数／偶数フィールドのどちらでも正しく水平同期入力を抽出できることを示す。

【００２４】まず図３（Ａ）の奇数フィールドの場合、垂直同期期間の開始と水平同期入力Ｈとのタイミングが一致しており、ここでの複合同期信号ＳＹの立下がりを立下がりエッジ検出回路１が検出する。その後は従来例と同様である。実際に入力端子ＴＩに入力する複合同期信号ＳＹは垂直同期期間中の狭幅パルス信号が潰れてしまうため、垂直同期期間中は必ず自己生成による水平同期出力ＳＨを出力する。ここで自己生成出力信号Ｃがハイレベルとなるため、セレクタ１２はカウント値デコーダ１７の出力信号Ｄを入力マスク用信号ＭＩとして選択する。垂直同期期間は水平同期入力Ｈの３周期分の長さであるので、自己生成による水平同期出力を３回行う。３回目の自己生成出力の時点では垂直同期期間は完全に終了している。その後複合同期信号ＳＹの立下がりが入力するが、図からも明らかなようにそれは水平同期入力Ｈではなく等化パルスＱである。本実施の形態では水平同期出力ＳＨを自己生成した後は３５μｓの入力無効期間があるために、この等化パルスＱ

は無効となり対応の水平同期出力ＳＨは出力されない。この入力無効期間は、等化パルスの次に入力する水平同期入力時にはすでに終了しており、このこの時の入力信号すなわち水平同期入力は受け付けることができる。その後の動作はまた従来例と同様に動作する。

【００２５】次に図３（Ｂ）の偶数フィールドの場合、水平同期入力と水平同期入力との中間から垂直同期期間が開始するため、自己生成による３回目の水平同期出力ＳＨの後、最初に入力する複合同期信号ＳＹの立下がりが水平同期入力Ｈである。したがって、そのまま水平同期入力Ｈを受け付ければよい。このときは３５μｓの入力無効期間はすでに終了しており入力を無効にはしない。

【００２６】このように本実施の形態では、複合同期信号ＳＹの垂直同期期間中の切り込みパルスや水平同期入力等の狭幅入力信号が欠落してしまった場合でも、奇数／偶数フィールドにかかわらず正確に水平同期入力を検出して水平同期出力ＳＨを発生することが可能である。

【００２７】次に、本発明の第２の実施の形態を図１と共通の構成要素には共通の参照文字／数字を付して同様にブロックで示す図４を参照すると、この実施の形態の前述の第１の実施の形態との相違点は、カウンタクリア信号ＣＣを生成するためＯＲゲート２の出力信号と強制カウンタクリア信号ＦＣとのＯＲをとるＯＲゲート１３を追加したことである。

【００２８】第１の実施の形態では複合同期信号ＳＹの立下がりエッジを検出するか、もしくはカウント値デコーダ１７が自己生成出力信号Ｃを発生した場合にカウンタ６を零に初期化していたが、本実施の形態では前述した条件以外に強制的にカウンタ６を初期化できるようにする。すなわち強制カウンタクリア信号ＦＣがハイレベルになると他の状態によらずカウンタ６を初期化する。

【００２９】次に水平同期入力と入力無効期間との関係をタイムチャートで示す図５を参照してカウンタ６の強制的な初期化機能が必要な理由について説明すると、第１の実施の形態において自己生成した水平同期出力ＳＨの出力後、３５μｓの間、エッジ検出信号Ｅを無効にする。そのためカウンタ６の動作開始タイミングや入力する複合同期信号ＳＹの位相が変化した場合などに、図５（Ａ）に示すように水平同期入力が上述の入力無効期間と重なり、常に自己生成による水平同期出力ＳＨを発生してしまう可能性がある。そこで、カウンタ６を任意のタイミングで初期化できる機能を内蔵し、水平同期入力時期と入力無効期間とが重ならないようにする。

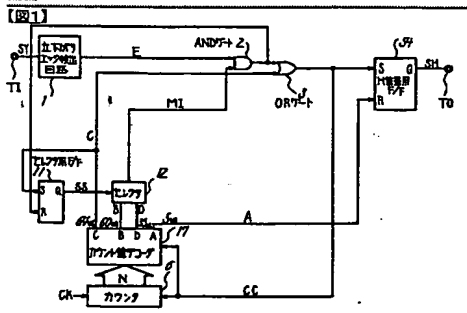
【００３０】強制カウンタクリア信号ＦＣの入力タイミング例を図５（Ｂ）に示す。この操作は、本水平同期信号発生回路の動作開始時や複合同期信号ＳＹの位相が変化した場合に実行すればよく、垂直同期の検出毎に実行することはない。このカウンタ６の初期化以外の動作は、第１実施の形態と同様であるので省略する。

【００３１】

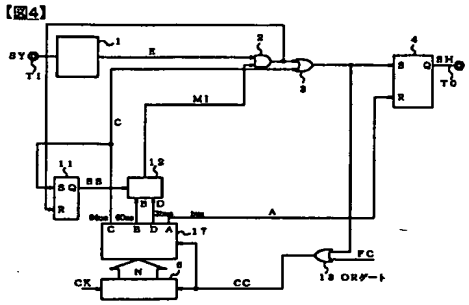
【発明の効果】以上説明したように、本発明の水平同期信号発生回路は、第２の一致情報信号のうちの１つを選択し入力マスク信号として出力するセレクタと、自己生成出力信号とエッジ検出信号対応の第１の論理信号とを入力して上記セレクタの動作を切替るセレクタ制御手段とを備えることにより、水平同期出力信号の自己生成後にも水平同期信号周期の２分の１程度の期間複合同期信号の入力を無効とすることにより、垂直同期期間中に水平同期入力が欠落した複合同期信号の入力の場合でも、自己生成した水平同期信号出力直後の水平同期入力を等化パルスと誤認することなく分離できるため、複合同期信号の奇数／偶数フィールドに無関係に正確に水平同期入力だけを抽出し、水平同期出力信号として出力できるという効果がある。

図面

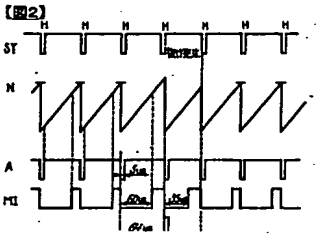
【図1】

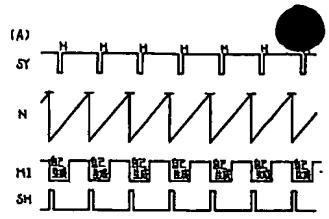


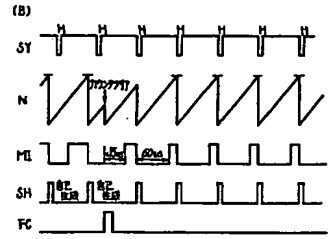
【図4】



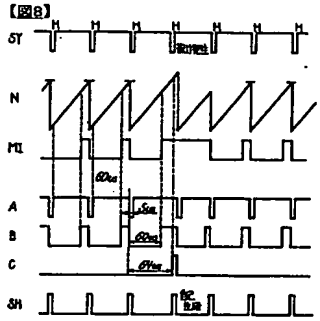
【図2】





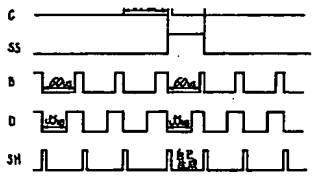


【図8】

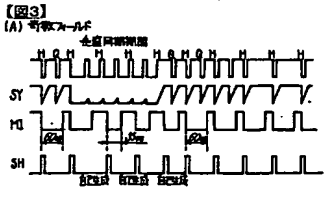


【図7】

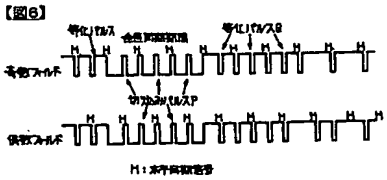
http://www.ipdl.jpo.go.jp/Tokujitu/tjitemcnt.ipdl 01/02/24



【図3】

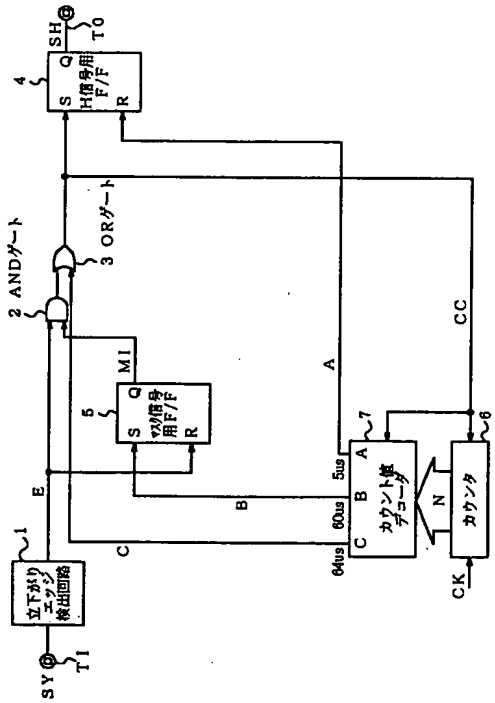


【図6】



【図5】

http://www.ipdl.jpo.go.jp/Tokujitu/tjitemcnt.ipdl 01/02/24



http://www.ipdl.jpo.go.jp/Tokujitu/tjitemcnt.ipdl 01/02/24